

2019年度 永守財団 研究助成 研究報告書

所属機関	筑波大学 数理物質系
職位または役職	助教
氏名	萬年 智介

1. 研究題目

簡便に実装可能なインバータの電力損失を利用した制御法による機電一体モータの小型化

2. 研究目的

本研究の目的は、モータ駆動用インバータ内部の電力損失を利用した、インバータ一体型モータ駆動システムの小型化・低コスト化技術の開発である。インバータ一体型モータのインバータは、モータの直近に配置されるため、小型化かつ高温動作が要求される。この要求を満たす手法として、SiC パワーデバイスと小容量の平滑コンデンサをインバータに適用したシステムが研究されている。

インバータは一般に、交流電源投入に伴う突入電流を抑制し、自身の損傷を防ぐために、スタートアップ回路が必要となる。しかし、インバータの定常動作時には、本質的にスタートアップ回路は不要であるため、小型化・低コスト化のボトルネックとなる。スタートアップ回路がない Fig. 1 の回路構成において、小容量の平滑コンデンサを適用したシステムでは、突入電流は小さいが、共振現象によりコンデンサが電源電圧の 2 倍まで充電され過電圧となる。これまでに、インバータの電力損失を利用して過電圧を抑制する制御法を提案した。しかし、インバータ個々の回路パラメータや動作環境に応じた細かな調整なしでは、寿命低下が不可避であるため、実用化には課題があった。

本研究では、提案した過電圧抑制法の実用化に向けて、簡易に実装できる制御法の開発と実機検証を行う。これにより、過電圧抑制法適用時のインバータ個々の調整を不要とでき、実用に耐えうる方式を確立する。その結果、インバータ一体型モータの小型化・低コスト化を実現することを目的とする。

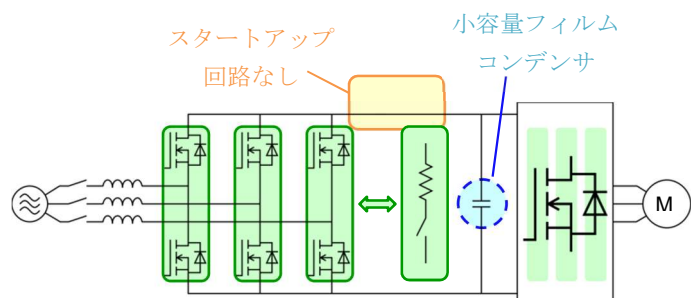


Fig. 1 本研究のモータ駆動用スタートアップ回路レスインバータ

3. 研究内容及び成果

インバータの電力損失を利用した過電圧抑制法では、これまで Fig. 2 のように、各相レグの短絡回数を固定し、コンデンサ電圧の最大値が設定値以下となるように、短絡の時間幅とタイミングを調整する必要があった。これに対して、本研究では、Fig. 3 のように短絡時間幅を固定し、短絡回数を可変とする制御法を提案した。提案法は、短絡時間幅を小さく設定するほどパワーデバイスの最大温度が低減できることをシミュレーションにより確認した。

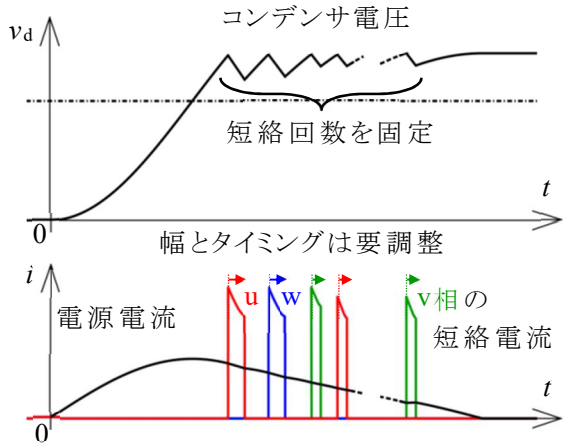


Fig. 2 以前提案した過電圧抑制法

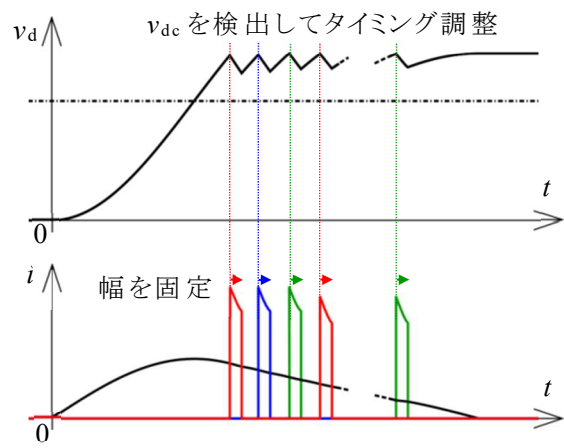


Fig. 3 本研究で提案する過電圧抑制法

次に、Fig. 4 のコンデンサ電圧の検出回路を試作し、提案する過電圧抑法の実験を行った。これは、コンデンサ電圧をアナログ絶縁・過電圧信号絶縁・非絶縁など様々な方式によって検出することができる。Fig. 5 および 6 にスタートアップの実験結果を示す。Fig. 5 の以前に提案した過電圧抑制方式では、段状の電圧変動が均等に発生し、その電圧変動幅は 32 V であった。これは、短絡タイミングと時間幅をあらかじめ調整することによる。

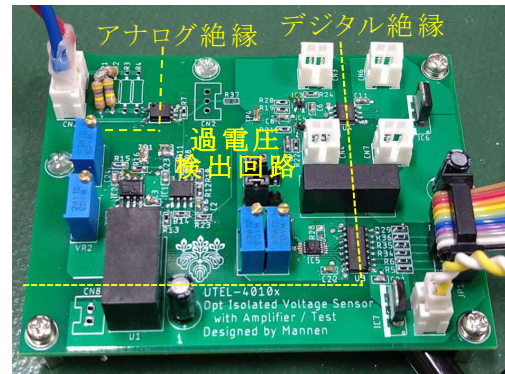


Fig. 4 製作した多方式対応電圧検出ボード

これに対して、Fig. 6 の電圧検出を用いた方式では、段状の電圧変動に大小が存在し、短絡が密に生じる期間とほとんど生じない期間が観測された。このため、電圧変動幅は 30 V までしか低減することができず、短絡回数を増加させるメリットが少なくなった。実験とシミュレーションを比較して、電圧変動が大きくなる要因を検証した。その結果、過電圧検出回路の検出遅延によって変動幅が増加していることを明らかにした。

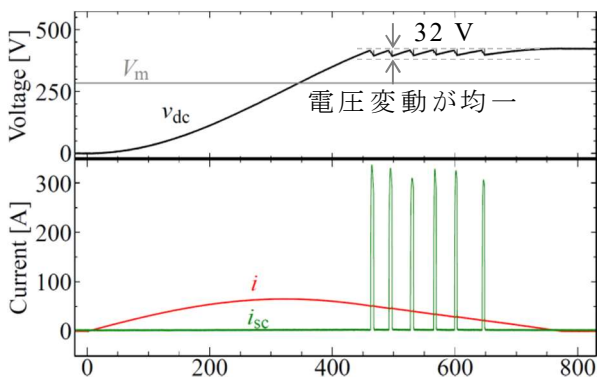


Fig. 5 以前提案した短絡タイミングと時間幅の調整が必要な過電圧抑制法の実験波形

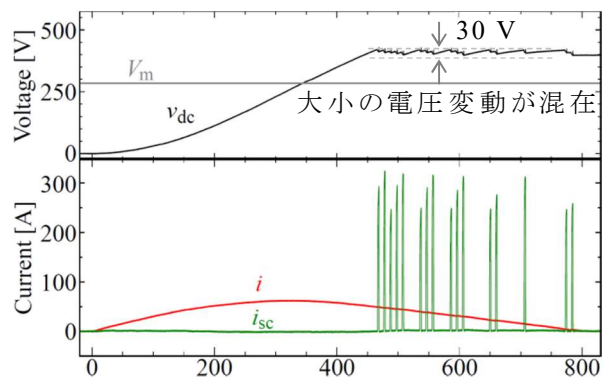


Fig. 6 アナログ絶縁方式の電圧検出を用いた過電圧抑制の実験波形

4. 今後の研究の見通し

Fig. 7 に、過電圧信号絶縁方式の電圧検出を用いたスタートアップ過電圧抑制の実験波形を示す。Fig. 6 の電圧変動と比べて、Fig. 7 の電圧変動は小さい。これは、Fig. 6 がコンデンサ電圧波形をアナログ絶縁したのちにコントローラが過電圧検出を行っていたのに対して、Fig. 7 ではコンデンサ電圧の過電圧検出を行ったのちに過電圧のデジタル信号を絶縁する。アナログ絶縁と比較して、デジタル絶縁の方が高速であるため、過電圧検出回路における検出遅延を低減することができる。

しかし、Fig. 7 では、短絡電流の遮断に伴う電圧サージが顕著となり、パワーデバイスのピーク電圧が上昇する。サージ電圧はパワーデバイスやキャパシタの要求耐圧増加だけではなく、適切な過電圧検出の妨げにもなる。このため、サージ電圧の抑制が必要であると考えられる。

次年度は、過電圧検出の遅延とサージ電圧のピークを低減できる手法について検討する予定である。

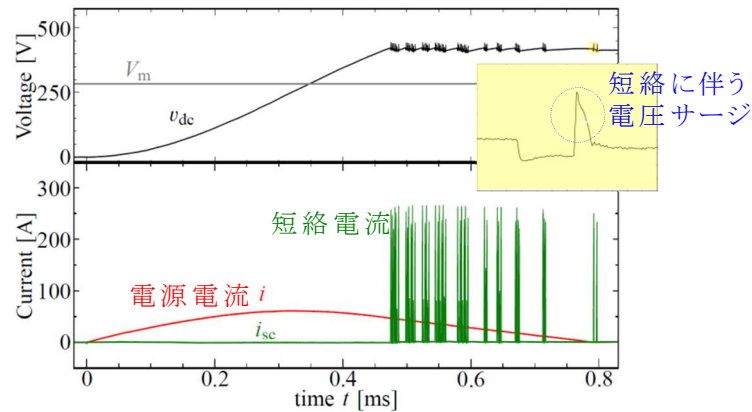


Fig. 7 過電圧信号絶縁方式の電圧検出を用いた過電圧抑制の実験波形

5. 助成研究による主な発表論文、著書名

学術論文(査読付)
準備中

国際会議(査読付)
“DC Capacitor Voltage Feedback Method for Peak Voltage Suppression Using Multiple Leg-Short-Circuits of SiC-MOSFETs Employed in Power Converters”, EPE2020 (ECCE-Europe), 2020年9月